WiFi, LTE ve 5G Uygulamaları için 3-6GHz Bandında 3-Bit Faz Kaydırıcı
3-Bit Phase Shifter at 3-6GHz Band for WiFi, LTE and 5G Applications

Ercan Atasoy, Farshad Piri, B.Siddik Yarman

Elektrik ve Elektronik Mühendisliği Fakültesi
İstanbul Üniversitesi
eratasoy@yahoo.com, sbyarman@gmail.com

Elektronik Mühendisliği Fakültesi
Pavia Üniversitesi
far.piri@gmail.com

Özet

Bu makalede 45°, 90° ve 180° faz kaydırıcı hücrelerini oluşturmak için özgün faz kaydırıcı topolojiler sunulmaktadır. Çalışma Cadence'da 180nm TSMC teknolojisi kullanılarak gerçekleşmiştir. Anahtarlama elemanı olarak PIN diyot yerine düşük güç tüketen ve basit anahtarlama kontrol devresi sunan CMOS anahtarlar kullanılmıştır. Yeni devrenin çalışması simetrik tüm geçiren LC kafeslerin faz kaydırma özelliklerine dayanır. Bu araştırma ile geniş frekans bandı üzerinde çoklu bit faz dizgi sistemleri için farklı açılarda faz kaydırıcı hücreleri oluşturmak kolaydır. Tasarım modelini içeren sayısal yöntem MATLAB'da analiz edilmiştir. Genel tasarım CADENCE'da simule edilmiştir. Simülasyonlar TSMC teknolojisindeki gerçek elemanlarla yapılmıştır. Endüktanslar ASITIC uygulamasıyla tasarlanmıştır. Giriş güç kaybını tolere etmek için 3-6GHz bandında Düşük Gürültülü Yükselteç tasarlanıp faz kaydırıcı ile entegre edilmiştir. Entegre devre ile 3-6GHz bandı için elde edilen 45°, 90° ve 180° faz kaymaları sırasıyla 2.2°, 3.2° ve 4.3° maksimum faz hatalarıyla gerçekleşir. Giriş güç kaybı 45°, 90° ve 180° için sırasıyla +1.8~+4.5dB, -0.7~+1.5dB ve +0.4~+2dB arasındadır.

Abstract

In this paper, we present a novel phase shifter topologies to construct 45°, 90° and 180° phase shifter cells laid-out using 180nm TSMC technology. CMOS switches are used instead of PIN diodes to have advantages of simple control circuit for switching and low power consumption. Operation of the new circuit is based on the phase shifting properties of the symmetrical all-pass LC lattices. It is straight forward to construct phase shifting cells over a wide frequency band, with various angles for multi bit phase array systems. A numerical method is analyzed in MATLAB. Top level design is simulated in CADENCE where actual elements are used from TSMC and inductors are designed in ASITIC tool. To compensate for the insertion loss an LNA for 3-6GHz band is designed and integrated. A phase shift for integrated circuit between 3-6GHz is achieved with maximum 2.2°, 3.2° and 4.3° phase errors and insertion losses are between +1.8~+4.5dB, -0.7~+1.5dB and +0.4~+2dB for 45°, 90° and 180° respectively.

1. Giriş

Mobil iletişim pazarının hızlı büyümesi ve son kullanıcı uygulamaların yüksek veri hacmi talepleri mobil anten ve cihazlarda yüksek veri hızı ihtiyaçlarını doğurmuştur. Yüksek hızlara ulaşmak için gerekli olan farklı modülasyonların gerçeklenebilmesi, son kullanıcıya daha az kayıplarla sinyalleri ulaştırabilmek ve daha düşük güç tüketimini gerçeklemek için ışının hüzmelenmesine ihtiyaç vardır. Işının hüzmelenmesi ve tarama özelliği akıllı, yazılım tabanlı antenler için önemlidir. Bu özelliği antenlerde gerçekleyen temel yapı taşı faz kaydırıcılardır. Bunların dışında yoğun veri talepleri sırasında WiFi, LTE ve 5G gibi teknolojilerin birbiriyle yakınsayarak yüklerini paylaşabilmesi gerekir. Bu kapsamda temel yapı taşı olan faz kaydırıcıların geniş bantlı, faz hatası düşük, düşük giriş gücü kayıplı, minimum güç tüketen, düşük maliyetli ve çip seviyesinde gerçeklenebilir olmaları önem kazanmaktadır.

Bu kapsamda bu çalışmada MMIC olarak gerçekleşebilen faz hatası düşük 3-6GHz bandında çalışabilen WiFi, LTE ve 5G uygulamalarını destekleyen sayısal faz kaydırıcı irdelenmiştir. [1-4]'deki çalışmalar kayıp ve faz aralık sorunlarını çözen üç elementli alçak/yüksek geçiren LC basamak özgün yapıları önermektedir. Fakat geniş bant ihtiyacı çoğunlukla çözülememiştir.

[5]'de 180˚ analog yansıma tipli, fazı kaydırılmış sinyalleri çok düşük faz ve genlik hata karakteristikleriyle çok geniş bant üzerinde sentezleyebilen yeni topolojiler önerilmiştir.

Shiffman faz kaydırıcı akuple kesit ile yekpare transmisyon hattını kullanarak diferansiyel faz kaydırıcı olarak çalışır[6]. Geniş bandı gerçeklemek için sıkı sıkıya akuple edilmiş kesitlere ihtiyaç vardır. Fakat bunu gerçeklemek de zordur.

[7-11] çalışmaları giriş güç kaybı 4dB'den düşük faz kaydırıcılar elde ederken bant genişlikleri oktav banttan küçüktür ve faz hataları 12.6˚'yi bulabilmektedir. [12]'deki çalışmada farklı tip faz kaydırıcılar kombine edilerek 6-18GHz arasında faz hatası 7˚'den düşük giriş güç kaybı - 8.6 ~ - 12.3dB arasında olan MMIC faz kaydırıcı gerçeklenmiştir.

Bu çalışma [13]'deki Tip-II devre modelini referans alarak geliştirilmiştir. Bu devre [1-4]'deki LC basamak devreler

yerine tüm geçiren simetrik kafes yapıları kullanmıştır. Bu yapılar kullanılarak oktav bant genişliğine ve maksimum 4.3˚ faz hatasına sahip geniş bantlı faz kaydırıcı gerçeklenmiştir.
Bu makalede bölüm 2'de simetrik kafes tüm geçiren yapılar ve bu yapıların ideal elemanlar ve normalize frekans için denklemlerini tanımlanır. Bölüm 3'de Tip-II tüm geçiren simetrik kafes yapıların CMOS anahtar ile gerçeklenmesi değerlendirilir. Bölüm 4'de 180˚ için simülasyonlar ideal elemanlarla önce MATLAB daha sonra CADENCE da gerçeklenir. Akabinde gerçek elemanlar ve ASITC uygulamasında gerçeklenen endüktanslarla simülasyonlar yapılır. Bölüm 5'de güç kayıplarını tolere etmek için düşük gürültülü yükselteç önerilir ve faz kaydırıcı ile entegre devre simülasyon sonuçları paylaşılır. Son bölümde diğer çalışmalarla karşılaştırmalar yapılıp gelecek çalışma önerileri paylaşılmıştır

2. İdeal Sayısal Faz Kaydırıcı Olarak Simetrik Tüm Geçiren Kafes Yapılar

İki farklı simetrik tüm geçiren kafes yapılar Şekil 1-a ve 1-b'de gösterilmiştir. Bu kafes yapıları Kafes-A ve Kafes-B olarak adlandıralım. Şekil 1-a'da birim sonlandırma ile yatay kollardaki L_A ile çapraz kollardaki C_A kapasitorlerin değerlerinin eşdeğer ve Şekil 1-b'de yatay kollardaki C_B kapasitörleriyle çapraz kollardaki L_B endüktansların değerlerinin eşdeğer olması [8]'a göre simetrik kafesler A ve B tüm geçiren olduğu gösterile bilinir. Bu koşullar altında Kafes-A'nın transfer saçılma parametresi S_{21A} ve Kafes-B'nin transfer saçılma parametresi S_{21B} aşağıdaki gibidir [14]:

$$S_{21A} = \frac{1 - jwL_A}{1 + jwL_A} = R_{21A} e^{j\theta_A} \quad (2.1a)$$

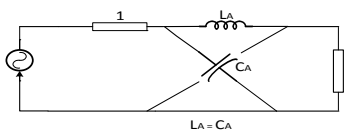
$$S_{21B} = \frac{jwC_B - 1}{jwC_B + 1} = R_{21B} e^{j\theta_B} \quad (2.1b)$$

Açık olarak R_{21A} ve R_{21B} genlikleri θ_A ve θ_B fazlarının değerlerinden bağımsız bütün frekans bandı boyunca birim genliğe eşdeğerdir. θ_A ve θ_B fazları ω açısal frekansın ark tanjant fonksiyonu olarak değişir.

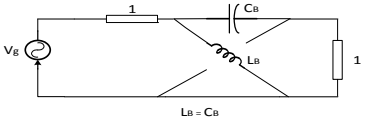
Bu da,

$$\theta_A = -2\arctan(\omega L_A) = -\theta/2 \quad (2.2a)$$

$$\theta_B = 2\arctan(1/(\omega C_B)) = \theta/2 \quad (2.2b)$$



(a) Kafes-A yapı



(b) Kafes-B yapı

Şekil 1. Simetrik Tüm Geçiren LC Kafes Yapı. (a) Kafes-A yapı (b) Kafes-B yapı.

Tüm geçiren karakteristikleri gözönünde bulundururusak, belirlenen faz kayması θ için çalışma frekansının merkezi olan normalize frekans ölçeği ω_0=l için Kafes-A ve Kafes-B'nin eleman değerleri belirlenebilir.

$|\theta| \leq 180°$ ve $u=\tan|\theta/4|$ olduğunu varsayalım. Bu durumda L_A, C_A, C_B ve L_B eleman değerleri θ fazının fonksiyonu olarak tanımlanabilir.

(2.2a)'dan , tüm geçiren Kafes-A kısmı için,

$$L_A = u \quad (2.3a)$$

$$C_A = L_A \quad (2.3b)$$

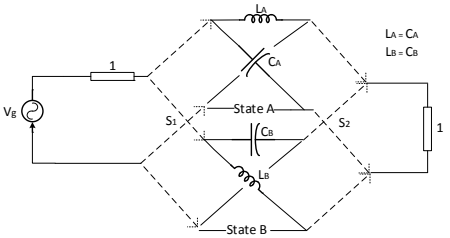
ve (2.2b)'den , tüm geçiren Kafes-B kısmı için,

$$C_B = u^{-1} \quad (2.3c)$$

$$L_B = C_B \quad (2.3d)$$

Şekil 2'yi referans alaraktan Kafes-A ve Kafes-B'nin fiziksel operasyonundan oluşan sayısal faz kaydırıcı birimi düşünelim. Birinci kademede sinyal kaynağının S_1 giriş anahtarı ve yükün S_2 çıkış anahtarı Kafes-A bölmesine aynı anda bağlıdır ve $\theta_A(\omega) = -\theta(\omega)/2$ faz kaymasını sağlar. Bu anahtarlama seviyesini Durum-A olarak adlandıralım.

Daha sonra S_1 ve S_2'nin Kafes-B'ye bağlı olduğunu düşünelim ve böylece $\theta_B(\omega) = \theta(\omega)/2$ faz kayması sağlanır. Bu anahtarlama seviyesini de Durum-B olarak adlandıralım.



Şekil 2. İdeal simetrik kafes tüm geçiren sayısal faz kaydırıcı.

Durum A ve B arasındaki anahtarlama sonucu net faz kayması $\theta(w)$ aşağıdaki gibidir,

$$\theta(w) = \theta_B - \theta_A \quad (2.4a)$$

veya

$$\theta_A = 2\,|\arctan(1/(xC_B)) + \arctan(\omega L_A)| \quad (2.4b)$$

Tüm geçiren A ve B kafes bölmelerin teorik faz kaydırma limitleri Kafes-A için 0° ila -180° ($0° \leq \theta_A < 180°$) ve Kafes-B için 0° ila + 180° ($0° \leq \theta_B < 180°$)'dir.

Böylece $\theta(\omega_0)$ doğru bir şekilde seçilerek (0^0-360^0) faz aralığın tamamı S_1 ve S_2'yi durum A ve B arasında aynı anda anahtarlayarak gerçeklenebilir. Birsonraki bölümde önerilen özgün sayısal faz kaydırıcı devreler yukarıda anlatılan Kafes-A ve Kafes-B bölmelerin çalışma prensibini referans alır. Böylece yeni konfigürasyonları kullanarak çok geniş band ve bütün faz kaydırma düzlemini gerçeklemek mümkündür.

3. Tip-II Sayısal Faz Kaydırıcı Devre

Şekil 3'de Tip II paralel bağlı anahtarlama devresine sahip geniş frekans bandı ve faz aralığına sahip konfigürasyon gösterilmiştir. Burada Tr_1&Tr_2 CMOS anahtarlar kapalı oldukları Durum- A'da gösterdikleri (C_D) kapasite değeri olarak eşdeğerdir. Tr_3 & Tr_4 anahtarlar kapalı oldukları Durum-B'de tasarımcı tarafından belirlenebilen (C_D) kapasite değerleri eşdeğerdir. Kolay kutuplaşma için Tr_1 ve Tr_4 PMOS olarak seçilirken Tr_2 ve Tr_3 NMOS olarak seçilmiştir.

Devrenin çalışması yukarıda tanımlandığı gibidir. Durum-A'da yatay kollardaki anahtarlar (Tr_1& Tr_2) kapalıdır (off) ve çapraz kollardaki anahtarlar (Tr_3& Tr_4) açıktır (on). Bu çalışma modunda yatay kollar (2.3a)'da verilen L_A'ye yakınsarken, çapraz kollar (2.3b)'de verilen C_A kapasitesine yakınsarlar. Durum-B'de Tr_1 & Tr_2 anahtarlar açık(on), Tr_3 & Tr_4 anahtarlar kapalı (off) konumundadır. Bu durumda Kafes-B operasyon modeli olan yatay kollar (2.3c)'de tanımlanan C_B kapasitesine, çapraz kollar da (2.3d)'de tanımlanan L_B endüktansına yakınsar. Böylece aşağıdaki denklemler elde edilir.

Durum-A ω_0'da,

$$\frac{C_x \times C_D}{C_x \times C_D} - \frac{1}{L_x} = \frac{-1}{L_A} \quad (3.1a)$$

$$C_y - \frac{1}{L_Y} = C_A \quad (3.1b)$$

Durum-B'de,

$$C_X - \frac{1}{L_X} = C_B \quad (3.2a)$$

$$\frac{C_Y \times C_D}{C_Y \times C_D} - \frac{1}{L_Y} = \frac{-1}{L_B} \quad (3.2b)$$

C_D kapasitesinin tasarımcının belirleyeceğini düşünerek 3.1 ve 3.2 denklemleri kullanılarak Tip-II devre için tasarım denklemleri C_D cinsinden aşağıdaki gibidir.

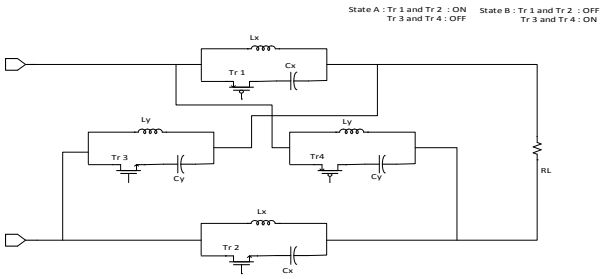
$$C_X = \frac{1 + (1 + 2 \times u \times C_D)^{1/2}}{u} \quad (3.3a)$$

$$L_X = \frac{u}{(1 + 2 \times u \times C_D)^{1/2}} \quad (3.3b)$$

$$L_Y = \frac{1}{(u^2 + 2 \times u \times C_D)^{1/2}} \quad (3.3c)$$

$$C_Y = u + (u^2 + 2 \times u \times C_D)^{1/2} \quad (3.3d)$$

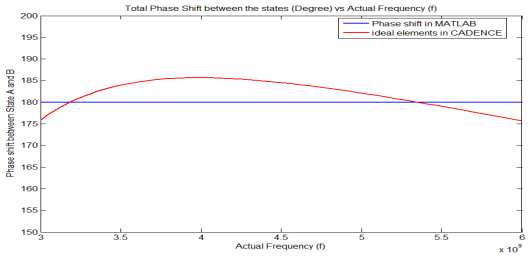
Yukarıdaki denklemler devrenin MATLAB'da modellenmesi için kullanılmıştır.



Şekil 3. CMOS anahtar ile tüm geçiren simetrik kafes faz kaydırıcı yapısı.

4. 180° Tüm Geçiren Simetrik Kafes Faz Kaydırıcının Gerçeklenmesi

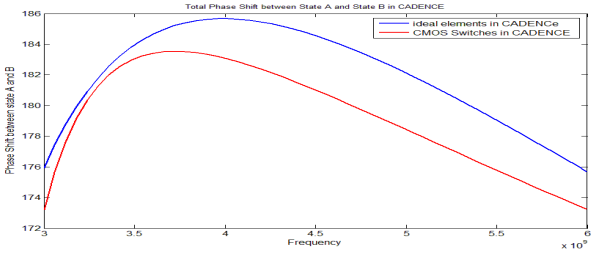
Tasarımcı tarafından CMOS anahtarlar için belirlenen C_D değeriyle birlikte MATLAB modeli kullanılarak L_X, C_X, L_Y ve C_Y normalize eleman değerleri elde edilir. Normalize C_D değeri olarak 0.12 seçilir ve 3GHz için 136fF denormalize değer elde edilir. Bu şekilde 3GHz için elde edilen C_X= C_Y =2.403pF ve L_X = L_Y =2.55nH şeklindedir. Şekil 4'de ideal elemanlar için MATLAB sonuçlarına göre 0° hata ve 0 giriş güç kaybı ile 180° faz değişimi elde edilir.



Şekil 4. İdeal elemanlarla Durum-A&B arasındaki faz farkı değişimi mavi (MATLAB) ve kırmızı (CADENCE).

Tip-II devre MATLAB dan elde edilen referans eleman değerleriyle oluşturulur. Bu değerler istenen 3-6GHz bandını düşük faz hatasıyla gerçeklemek için optimize edilir. Böylece C_X= C_Y =2.2 pF ve L_X = L_Y =2.8nH yeni eleman değerleri elde edilir. Şekil 4'de Cadence'da 180° için 3-6GHz frekans bandı aralığında faz değişimi sonucu paylaşılmıştır. Burada maksimum faz hatası 5° ve giriş güç kaybı 0.01dB'dir. Faz hatası Cadence'ın elemanları modelemmesindeki frekansa bağlı karakteristiklerinden kaynaklanmaktadır.

CMOS transistörün anahtar olarak kullanılması devrenin MMIC olarak CMOS ucuz süreçleriyle üretilmesine olanak sağlamaktadır. Anahtar olarak PIN diyot kullanıldığında kutuplamak için devrenin çalışmasını etkilemeyen ayrı bir kutuplama devresine ihtiyaç vardır. Bu devre faz kaydırıcı devrenin çalışma frekans bandını sınırlayabilir. Aynı zamanda PİN diyot kullanılması maliyeti artıran farklı çip üretim süreçlerini gerektirmektedir. Ayrıca kutuplanma sırasında sürekli akım akıttığı için güç tüketimi CMOS anahtara gore daha fazladır. Bu yüzden tasarımda CMOS anahtar kullanılmıştır.

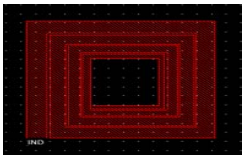


Şekil 5. İdeal elemanlar ve anahtarı ideal olmayan CMOS anahtarlar ile Durum A ve B arasındaki faz farkı değişimi

CMOS anahtarın etkisiyle eleman değerleri tekrardan düşük faz hatası için optimize edilir. 3-6GHz bandı için elde edilen değerler C_X= C_Y =2.2 pF ve L_X = L_Y =4nH. Şekil 5'de frekansa bağlı faz değişimi görülmektedir ve maksimum faz hatası 7°'den küçük olarak elde edilir. Giriş güç kaybı 2.5 – 9.7dB'dir.

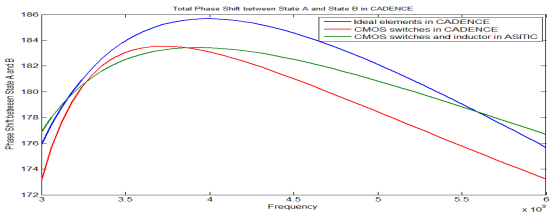
Şuana kadar yapılan simülasyonlarda endüktanslar ideal endüktans olarak kullanılmıştır. Bu adımda ASITIC uygulamasında tasarlanan endüktanslar devrenin gerçeklenmesinde kullanılmıştır. Burada elde edilen S Parametreleri Cadence simülasyonlarda kullanılmıştır.

[15]'deki analizlere göre çip seviyesinde kolay gerçeklenebilme, aynı alanda daha fazla endüktans değerine sahip olma, geniş bant gerçeklemesi için daha büyük rezonans frekansa sahip olma ve manyetik endüklenmeden oluşan kayıpları azaltma gibi parametreleri değerlendirdiğimizde "tapered square shape" endüktans seçimi öne çıkmaktadır. ASITIC da 4nH için tasarlanmış "tapered square shape" endüktansı Şekil 6'da gösterilmiştir.

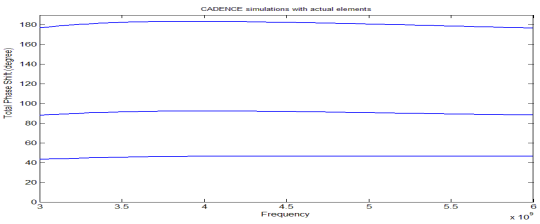


Şekil 6. ASITIC'de 4nH "tapered square shape" endüktans gerçeklemesi.

180˚ için gerçek elemanlar ve "tapered" endüktansla elde edilmiş faz değişim sonuçları Şekil 7'de paylaşılmıştır. Şekilden görüleceği üzere faz hatası gerçek endüktans kullanımıyla 3.35˚'ye düşmüştür. Giriş güç kaybı 3-6GHz bandında -6.75dB ila -11.49dB arasına artmıştır. Böylece gerçek endüktans kullanımı giriş güç kaybını artırırken faz hata performansını iyileştirmiştir.



Şekil 7. CADENCE da ideal elemanlarla, CMOS anahtarlarla ve ASITIC de tasarlanmış endüktansla 180˚ faz değişimi.



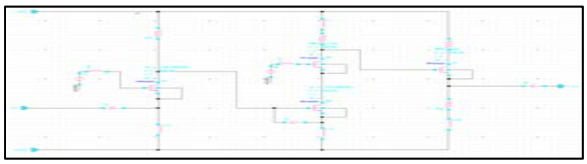
Şekil 8. 45°, 90° ve 180° faz kaymaları için gerçek elemanlarla simülasyon sonuçları.

45° ve 90° için aynı adımlar MATLAB, CADENCE ve ASITIC de uygulanmıştır. Şekil 8'de 180°, 90° ve 45° için faz değişimleri ve maksimum faz hataları sırasıyla 3.35°, 3,25° ve 2° olarak gözlenmiştir

180°, 90° ve 45° için giriş güç kayıpları sırasıyla -6.75dB ~-11.49dB, -4.18dB~-6.47dB, -4.60dB ~ -7.21dB'dir. Dolayısıyla giriş güç kaybı 11.5dB'nin altındadır.

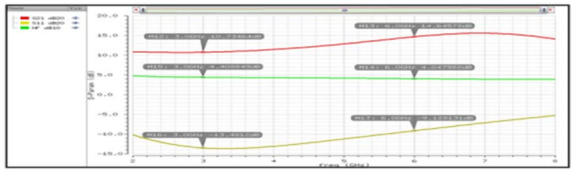
5. Düşük Gürültülü Yükselteç Tasarımı ve Simetrik Kafes Faz Kaydırıcı ile entegre edilmiş devrenin performansı

Düşük Gürültülü Yükselteç tasarımı için [16]'deki çalışma referans alınarak 3-6 GHz frekans bandına uyumlaştırmak için gerekli endüktans, transistör ve kapasite boyutları ile Cadence'ta optimize edilir ve çıkış katına bir endüktans ve direnç daha ilave edilir. Eşdeğer devre Cadence'ta aşağıdaki Şekil 9'daki gibi 3 katlı kaskat bağlı olarak gerçeklenir.



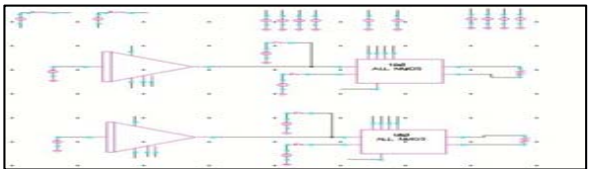
Şekil 9: 3 katlı kaskat LNA Cadence Şematik Çizimi

Optimize edilmiş tek çıkışlı LNA'in 3-6 GHz bandındaki S21, S11 ve NF sonuçları aşağıda Şekil 10'daki gibidir. Buna göre S21 3 GHz'de 10.7 dB kazancından başlayıp 6 GHz'de 14.6 dB kazancına ulaşmaktadır. Böylece faz eviricinin kazancını pozitife çeviren ve 3-6 GHz boyunca azalan bandı telafi eden eşlenik LNA elde edilir. Gürültü karakteristiği 4 dB civarında değişir, bu da iyi bir performans değeridir.



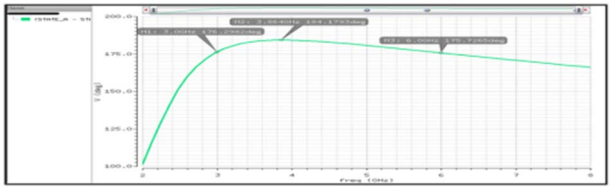
Şekil 10: LNA'in S21, S11 ve NF değişimleri

Şekil 11'de Düşük Gürültülü Yükselteç ile Simetrik Kafes Faz Kaydırıcı entegre devrenin Cadence çizimi mevcuttur.



Şekil 11: DGY ve SKFK entegre devre

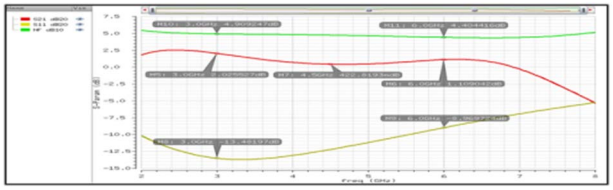
Sekil 12'de 180˚ faz kaydırıcı ve DGY bütünleşmiş devrenin faz değişimi 3GHz'de 176.3°, 3.86 GHz'de en tepe değer olarak 184.2° ve 6GHz'de 175.7°'yi tarayarak maksimum 4.3° faz hatası ile gerçeklenmiş olur.



Şekil 12: SKFK ve DGY entegre devrenin faz değişimi

Şekil 13'de 180 ° faz evirici ve DGY entegre devrenin güç aktarımı S21, giriş yansıma kaybı S11 ve gürültü karakteristiği

NF analizi şekil 6.11'deki gibidir. Bu kapsamda NF 3-6 GHz bandında 4.9 dB ile 4.4 dB arasında, S21 3GHz'de 2 dB, 4.5 GHz'te minimum 422 mdB, 6 GHz'te 1.1 dB olarak, **S11** ise 3GHz'de -13.4 dB'den başlayıp 6GHz'de -8.9 dB olacak şekilde değişir.



Şekil 13: SKFK ve DGY entegre devrenin S21, NF ve S11 performansı

Entegre devrenin 180˚, 90˚ ve 45˚ maksimum faz hata performansı sırasıyla 4.3˚, 3.2˚ ve 2.2˚'dir. Giriş güç kaybı 3-6GHz'de sırasıyla +2dB ile 1.1dB, +1.6dB ile -0.78dB ve 1.8dB ile 4.5dB arasındadır. Gürültü performansı ortalama üç faz için 4.8dB civarındadır ve dönüş kaybı üç faz için de -13.4dB ile -9dB arasındadır.

Tablo 1. Sayısal faz kaydırıcıların karşılaştırılması

	Faz Kaydırıcı	Teknoloji	Frekans Bandı	Faz Hatası	Giriş Güç Kaybı S21
[8]	3 bit/differantial /switching mode	RFIC	2.3-2.7GHz	2.3°-7.9°	4dB
[10]	5 bit/single-ended/active switch	MMIC	9-15GHz	6°-12°	4dB
[12]	switch line type and reflection type phase shifters are chosen in 180°/90°/45,For 5.625°,	MMIC,GaAs PHEMTs	6-18 GHz	5.625°±2°, 11.25°±2°, 22.5°±3°, 45°±4°.	8.6 dB~12.3 dB
Bu çalışma	All Pass Lattice Structure PS	180 nm TSMC technology	3-6GHz	45°±2.2°, 90°±3.2° 180° ±4.3°	4 dB~11.5 dB, DGY ile -0.7dB~+4.5dB

Tablo1'de diğer çalışmalarla birlikte yapılan karşılaştırmada maksimum faz hatası olarak çok daha iyi bir performansa sahiptir. Giriş Güç kaybı performansı DGY siz [12]'den daha iyidir. Bant genişliği olarak da oktav banda sahip olup [8] ve [10] nolu çalışmadan daha iyidir.

6. Sonuçlar

CMOS'u anahtar olarak kullanabilmek ve endüktans değerlerinin IC seviyesinde gerçeklenebilir olması faz kaydırıcının MMIC olarak 3-6GHz bandında TSMC 180nm teknolojisiyle gerçeklenmesine olanak sağlamaktadır. Bu bantta gösterdiği giriş güç kaybı diğer çalışmalarla eşdeğerdir. Bu kayıpları telafi edebilecek DGY de önerilmiştir. Böylece oktav bant genişliğine sahip, entegre devrenin maksimum faz hatasının 4.3˚ dereceden küçük ve giriş güç kayıpları telafi edilmiş MMIC faz kaydırıcının gerçeklenebileceği gösterilmiştir. Bu özelliklere sahip devre yapısının optimize edilerek çip seviyesinde üretilmesi azami ihtiyaç olan dizgi ve akıllı antenler ile WiFi, 4G ve 5G uygulamalarında etkin olarak kullanılmasına imkan tanıyabilir. Özellikle 3G, 4G gibi teknolojilerden 5G'ye geçişte 6 GHz'den düşük frekans bandının öneminin artması bu banttaki faz kaydırıcıları ön plana çıkarmaktadır. CMOS anahtarların açık konumdaki dirençleri pHEMT lere göre yüksektir ve giriş kayıplarını artırmaktadır. Anahtar iç direncini azaltmak, yüksek anahtarlama hızlarını sağlamak ve 5G'nin yüksek frekanslardaki faz kaydırıcı gerçeklemeleri için pHEMT ile çalışmalar sürdürülebilir.

7. Kaynaklar

[1]. YARMAN, B. S., and ROSEN, A., and STABILE, P., "Low Loss EHF digital phase shifters suitable for monolithic implementation". *IEEE Int. Symp. Cir. Sys.* Montreal, 573-576 (1984).

[2]. YARMAN, B. S., Design of digital phase shifters suitable for monolithic implementation. *Bull. Tec. Univ. Istanbul,* 38, 185.205 (1985).

[3]. YARMAN, B. S., New circuit configurations for designing 0°-180° digital phase shifters. *IEEE Proc.* 134, 253-260 (1987).

[4]. YARMAN, B. S., Novel circuit configurations to design loss balanced 0°-360° digital phase shifters. AEU, 45, 2, 96-104 (1991).

[5]. LUCYSZYN, S. and L. D., ROBERTSON, Synthesis techniques for high performance octave bandwidth 180° analog phase shifters. *IEEE Tran. on Microwave Theo. and Tech.* 40, No.4, 731-740 (1992).

[6]. QUIRARTE, J. L. R. and J. P., STARSKI, Novel Shiffman phase shifters. *IEEE Tran. on Microwave Theo. and Tech.,* 41, No.l, 9-14 (1993).

[7] Fang, H.R. ; Xinyi Tang ; Mouthaan, K. ; Guinvarc'h, R., Two-octave digital all-pass phase shifters for phased array applications, Radio and Wireless Symposium (RWS) IEEE , Page(s): 169 – 171 (2013)

[8].Yun-Wei Lin ; Yi-Chieh Chou ; Chi-Yang Chang, A Balanced Digital Phase Shifter by a Novel Switching-Mode Topology, Microwave Theory and Techniques, IEEE Transactions, Page(s): 2361 - 2370 (2013)

[9]. D. W. Kang and S. Hong, "A 4-bit CMOS phase shifter using distributed active switches," IEEE Trans. Microw. Theory Techn., vol. 55,no. 7, pp. 1476–1483, Jul. 2007

[10]. D. W. Kang, H. D. Lee, C. H. Kim, and S. Hong, "Ku - band MMIC phase shifter using a parallel resonator with 0.18 m CMOS technology," IEEE Trans. Microw. Theory Techn., vol. 54, no. 1, pp. 294 – 301 (2006)

[11]. K. J. Koh and G. M. Rebeiz, "0.13- m CMOS phase shifters for and K-band phased arrays," IEEE Trans. Microw. Theory Techn., vol. 42, no. 11, pp. 2535–2546, Nov. 2007.

[12]. Yongsheng , Ping Li, Qiuyue Xie , Qunfei Han, Honghao Yin, Shuyuan Shi, Ming Luo, "6-18 GHz GaAs PHEMT 6-bit MMIC digital phase shifter" Page(s):455-458 (2012)

[13]. YARMAN,B.S., KILINC A. and UN M., New Digital Phase Shifter Topologies For Mobile Communication Systems. *Istanbul University Electrical and Electronics Engineering Department special report (2013).*

[14]. HERBERT, J. C. and B. G., ANTHONY, Network Theory, Englewood Cliffs, N.J. Prentice-Hall (1978).

[15]. Ji Chen and Juin J. Liou -On-Chip Spiral Inductors for RF Applications An Overview - Journal of Semiconductor Technology and Science, VOL.4, NO.3, SEPT., 2004.

[16]. K.Chen, J-H. Lu, B-J. Chen, S-I. Liu "An Ultra-Wide-Band 0.4–10-GHz LNA in 180 nm CMOS" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 54, NO. 3, MARCH 2007